

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-126682

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月15日

H 01 L 29/784
29/68

8526-5F
8422-5F

H 01 L 29/78

3 2 1 J

審査請求 未請求 請求項の数 10 (全17頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 昭63-280608

⑰ 出 願 昭63(1988)11月7日

⑱ 発 明 者 萩 野 浩 靖 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板と、

前記半導体基板の一方主面上の一部に形成された第2導電型の第1領域と、

前記半導体基板の他方主面上の一部に形成された第1導電型の第2領域と、

前記第2領域の表面の一部に形成された第2導電型の第3領域と、

前記第1領域と位置的にほぼ対応するようにして、前記半導体基板と前記第3領域とに挟まれた前記第2領域の表面上に形成された絶縁膜と、

前記絶縁膜上に形成された制御電極と、

前記第2領域から前記第3領域にかけてそれらの表面上に形成された第1電極と、

前記第1領域の表面から前記第1領域に隣接する前記半導体基板の一方主面上にかけて形成された第2電極と、

前記第1領域を除く前記半導体基板の一方主面上に形成され、前記半導体基板から前記第2電極へのキャリアの移動を制限するバリア層とを備える、半導体装置。

(2) 第1導電型の半導体基板と、

前記半導体基板の一方主面上の一部に形成された第2導電型の第1領域と、

前記半導体基板の他方主面上の一部に形成された第1導電型の第2領域と、

前記第2領域の表面の一部に形成された第2導電型の第3領域と、

前記第1領域と位置的にほぼ対応するようにして、前記半導体基板と前記第3領域とに挟まれた前記第2領域の表面上に形成された絶縁膜と、

前記絶縁膜上に形成された制御電極と、

前記第2領域から前記第3領域にかけてそれらの表面上に形成された第1電極と、

前記第1領域の表面から前記第1領域に隣接する半導体基板の一方主面上にかけて形成された第2電極とを備え、

前記第1領域を除く前記半導体基板の一方主面と前記第2電極とがオーミック接触により接続され、その接続部の面積が、前記第1領域と前記第2電極との間の接続部の面積よりも小さいことを特徴とする半導体装置。

(3) 第1導電型の半導体基板と、

前記半導体基板の一方主面上の一部に形成された第2導電型の第1領域と、

前記半導体基板の他方主面上の一部に形成された第1導電型の第2領域と、

前記第2領域の表面の一部に形成された第2導電型の第3領域と、

前記第1領域と位置的にほぼ対応するようにして、前記半導体基板と前記第3領域とに挟まれた前記第2領域の表面上に形成された絶縁膜と、

前記絶縁膜上に形成された制御電極と、

前記第2領域から前記第3領域にかけてそれらの表面上に形成された第1電極と、

前記第1領域の表面から前記第1領域に隣接する半導体基板の一方主面上にかけて形成された第

2電極とを備え、

前記第1領域を除く半導体基板の一方主面のうち、一部領域と前記第2電極とがオーミック接触により接続される一方、他部領域と前記第2電極との間にバリア層が形成されることを特徴とする半導体装置。

(4) 前記第2領域と前記半導体基板とで構成される寄生ダイオードに対し並列接続されるようにして、前記第1電極と前記第2電極との間にダイオードを外部接続し、そのダイオードの電流分担が前記寄生ダイオードの電流分担よりも大きくなるようにしたことを特徴とする請求項1、2又は3記載の半導体装置。

(5) 前記第2領域と前記半導体基板とで構成される寄生ダイオードに対し並列接続されるようにして、その寄生ダイオードと同一チップ内に他のダイオードが形成され、そのダイオードの電流分担が前記寄生ダイオードの電流分担よりも大きくなるようにしたことを特徴とする請求項1、2又は3記載の半導体装置。

(6) 前記半導体基板の一方主面側において前記第1領域と前記第1領域に隣接する領域とで第1ユニットセルが構成されるとともに、前記半導体基板の他方主面側において前記制御電極、前記絶縁膜、前記第1電極、前記第2領域および前記第3領域により第2ユニットセルが構成され、前記第1および第2ユニットセルがそれぞれストライプ構造に仕上げられて複数個ずつ並列に配置されるとともに、前記第2ユニットセルが前記第1ユニットセル上に投影されたときに、両ユニットセルの長手方向が互いに交差するようにした請求項1、2又は3記載の半導体装置

(7) 第1導電型の半導体基板を準備する第1工程と、

前記半導体基板の一方主面上の一部に第2導電型不純物を導入して第2導電型の第1領域を形成する第2工程と、

前記第1領域と位置的にほぼ対応するようにして、前記半導体基板の他方主面上の一部に絶縁膜と制御電極の2層構造体を形成する第3工程と、

前記2層構造体をマスクとして前記半導体基板の他方主面上の一部に第1導電型不純物を導入して第1導電型の第2領域を形成する第4工程と、

前記第2領域の表面上に前記2層構造体と類似してマスク層を形成する第5工程と、

前記2層構造体および前記マスク層をマスクとして前記第2領域の表面上の一部に第2導電型の不純物を導入して第2導電型の第3領域を形成する第6工程と、

前記マスク層を除去した後、前記第2領域から前記第3領域にかけてそれらの表面上に、それらとオーミック接触により接続される第1電極を形成する第7工程と、

前記第1領域の表面から前記第1領域に隣接する前記半導体基板の一方主面上にかけて第2電極を形成して、前記第1領域を除く前記半導体基板の一方主面と前記第2電極との間の接続部にショットキーバリア層を形成する第8工程とを含む、半導体装置の製造方法。

(8) 第1導電型の半導体基板を準備する第1

工程と、

前記半導体基板の一方主面上の一部に第2導電型不純物を導入して第2導電型の第1領域を形成し、前記第1領域の表面の面積を、前記第1領域以外の前記半導体基板の一方主面上の面積よりも大きく設定する第2工程と、

前記第1領域と位置的にほぼ対応するようにして、前記半導体基板の他方主面上の一部に絶縁膜と制御電極の2層構造体を形成する第3工程と、

前記2層構造体をマスクとして前記半導体基板の他方主面上の一部に第1導電型不純物を導入して第1導電型の第2領域を形成する第4工程と、

前記第2領域の表面上に前記2層構造体と離してマスク層を形成する第5工程と、

前記2層構造体および前記マスク層をマスクとして前記第2領域の表面上の一部に第2導電型の不純物を導入して第2導電型の第3領域を形成する第6工程と、

前記マスク層を除去した後、前記第2領域から前記第3領域にかけてそれらの表面上に、それら

てマスク層を形成する第5工程と、

前記2層構造体および前記マスク層をマスクとして前記第2領域の表面上の一部に第2導電型の不純物を導入して第2導電型の第3領域を形成する第6工程と、

前記マスク層を除去した後、前記第2領域から前記第3領域にかけてそれらの表面上に、それらとオーミック接触により接続される第1電極を形成する第7工程と、

前記第1領域を除く前記半導体基板の一方主面の一部領域に第1導電型不純物を導入する第8工程と、

前記第1領域の表面から前記第1領域に隣接する前記半導体基板の一方主面にかけて第2電極を形成し、前記第1領域を除く前記半導体基板の一方主面のうち、前記一部領域と前記第2電極とをオーミック接触により接続するとともに、前記一方主面のうち前記一部領域を除く他部領域と前記第2電極との間の接続部にショットキーバリア層を形成する第9工程とを含む半導体装置の製造方

とオーミック接触により接続される第1電極を形成する第7工程と、

前記第1領域を除く前記半導体基板の一方主面に第1導電型不純物を導入する第8工程と、

前記第1領域の表面から前記第1領域に隣接する前記半導体基板の一方主面にかけてそれらとオーミック接触により接続される第2電極を形成する第9工程とを含む、半導体装置の製造方法。

(9) 第1導電型の半導体基板を準備する第1工程と、

前記半導体基板の一方主面上の一部に第2導電型不純物を導入して第2導電型の第1領域を形成する第2工程と、

前記第1領域と位置的にほぼ対応するようにして、前記半導体基板の他方主面上の一部に絶縁膜と制御電極の2層構造体を形成する第3工程と、

前記2層構造体をマスクとして前記半導体基板の他方主面上の一部に第1導電型不純物を導入して第1導電型の第2領域を形成する第4工程と、

前記第2領域の表面上に前記2層構造体と離し

法。

(10) 前記半導体基板の内部領域のうち、前記第1領域に対応する領域以外の領域に放射線を照射する工程をさらに含む、請求項7、8又は9記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置およびその製造方法に関し、特にインバータ用途に優れた絶縁ゲート型バイポーラトランジスタ(Insulated Gate Bipolar Transistor: 以下IGBTという)およびその製造方法に関する。

(従来の技術)

一般にIGBT装置は多数のIGBT素子が並列接続された構造を有している。第22図は従来のnチャネル形のIGBT素子(以下IGBTセルという)の構造を示す断面図である。

第22図に示すように、このIGBT装置は、p型半導体基板からなるp型コレクタ層1上にn型エピタキシャル層2が形成されている。このエ

ビタキシャル層2の表面の一部領域にはp型不純物を選択的に拡散することによりp型ベース領域3が形成され、さらにこのベース領域3の表面の一部領域には、n型不純物を選択的に拡散することによりn型エミッタ領域4が形成されている。エビタキシャル層2の表面とエミッタ領域4の表面とで挟まれたベース領域3の表面上にはゲート絶縁膜5が形成され、このゲート絶縁膜5は隣接するIGBTセル間で一体となるようにエビタキシャル層2の表面上にも形成されている。ゲート絶縁膜5上には例えばポリシリコンから成るゲート電極6が形成され、またベース領域3およびエミッタ領域4の両方に電気的に接続するように例えばアルミなどの金属のエミッタ電極7が形成されている。なお、ゲート電極6およびエミッタ電極7は、全IGBTセルに対してそれぞれ共通に電気的につながった構造となっている。また、コレクタ層1の表面には、金属のコレクタ電極8が全IGBTセルに対して一体に形成されている。

IGBT装置は、絶縁ゲート電界効果トランジ

スタ(MOSFET)と同様に、絶縁ゲート(MOSゲート)を有する電圧制御型トランジスタであるため、駆動回路が簡単になるというメリットを有する。また、第22図に示すように、コレクタ側に正孔注入用のp型領域からなるコレクタ層1が設けられているため、MOSFETで高耐圧デバイスになるとオン抵抗が問題となるエビタキシャル層2が、コレクタ層1からの正孔の注入により伝導度変調が起こり、著しく抵抗値が下がることになる。この両利点のため、IGBT装置はインバータ用途に最も適した素子として注目されている。

第23図は、IGBT装置を用いた三相インバータ回路の一例を示す。同図に示すように、このインバータ回路は、正側端子8と負側端子9との間に、6個のIGBT10と負荷であるモータ11とが3相インバータブリッジを構成するように接続されるとともに、各IGBT10に帰還ダイオード12が並列に接続される。帰還ダイオード12は、IGBT10のスイッチング特性を良好

に保ち、通常、IGBT10が形成されている半導体チップに対して外付けされる。

ところで、第23図に示されるインバータ回路のIGBT10を第22図のIGBT装置により構成した場合、各IGBTセルのターンオフ時にキャリアがエビタキシャル層2に蓄積され、しかもそれらキャリアのライフタイムが長いために、スイッチング速度が遅くなるという問題が生じる。

そこで、スイッチング速度を速くするためのIGBT装置として、例えば第24図に示すような構造のものが考えられた。

同図に示すように、このIGBT装置は、n型半導体基板20の一方主面の一部領域に、p型不純物を拡散等の方法で選択的に導入してp型コレクタ領域21を形成する一方、コレクタ領域21を除くn型半導体基板20の一方主面にn型不純物を導入してn⁺領域22を形成している。その他の構成は第22図のIGBT装置と同様であるので、同一部分に同一符号を付してその説明を省略する。

(発明が解決しようとする課題)

第24図に示すIGBT装置では、p型コレクタ領域21に対応する区画において、コレクタ領域21、半導体基板20、ベース領域3、エミッタ領域4、ゲート絶縁膜5およびゲート電極6によりIGBTセル23が構成される。このIGBT装置によれば、各IGBTセルのターンオフ時に半導体基板に蓄積されるキャリア(正孔)が、低抵抗のn⁺領域22を通してコレクタ電極8に引き抜かれるため、IGBTセルのキャリアライフタイムを制御しなくてもスイッチング速度は速くなる。しかしながら、その一方で、n⁺領域22を設けたことにより、n⁺領域22に相当する区画で、ベース領域3、半導体基板20およびn⁺領域22からなる寄生ダイオード24が形成され、この寄生ダイオード24のリカバリー時間が長いので、IGBT装置としてはやはり高速で使用できないという問題を有していた。

この発明は、上記問題を解決するためになされたもので、高周波用途に適した半導体装置および

その製造方法を提供することを目的とする。

(課題を解決するための手段)

請求項1記載の半導体装置は、上記目的を達成するため、第1導電型の半導体基板と、前記半導体基板の一方主面上の一部に形成された第2導電型の第1領域と、前記半導体基板の他方主面上の一部に形成された第1導電型の第2領域と、前記第2領域の表面の一部に形成された第2導電型の第3領域と、前記第1領域と位置的にほぼ対応するようにして、前記半導体基板と前記第3領域とに挟まれた前記第2領域の表面上に形成された絶縁膜と、前記絶縁膜上に形成された制御電極と、前記第2領域から前記第3領域にかけてそれらの表面上に形成された第1電極と、前記第1領域の表面から前記第1領域に隣接する前記半導体基板の一方主面上にかけて形成された第2電極と、前記第1領域を除く前記半導体基板の一方主面上に形成され、前記半導体基板から前記第2電極へのキャリアの移動を制限するバリア層とを備える。

請求項2記載の半導体装置は、第1導電型の半

導体基板の他方主面上の一部に形成された第1導電型の第2領域と、前記第2領域の表面の一部に形成された第2導電型の第3領域と、前記第1領域と位置的にほぼ対応するようにして、前記半導体基板と前記第3領域とに挟まれた前記第2領域の表面上に形成された絶縁膜と、前記絶縁膜上に形成された制御電極と、前記第2領域から前記第3領域にかけてそれらの表面上に形成された第1電極と、前記第1領域の表面から前記第1領域に隣接する半導体基板の一方主面上にかけて形成された第2電極とを備え、前記第1領域を除く半導体基板の一方主面のうち、一部領域と前記第2電極とがオーミック接触により接続される一方、他部領域と前記第2電極との間にバリア層が形成される。

請求項4記載の半導体装置は、請求項1、2又は3記載の半導体装置において、前記第2領域と前記半導体基板とで構成される寄生ダイオードに対し並列接続されるようにして、前記第1電極と前記第2電極との間にダイオードを外部接続し、

半導体基板と、前記半導体基板の一方主面上の一部に形成された第2導電型の第1領域と、前記半導体基板の他方主面上の一部に形成された第1導電型の第2領域と、前記第2領域の表面の一部に形成された第2導電型の第3領域と、前記第1領域と位置的にほぼ対応するようにして、前記半導体基板と前記第3領域とに挟まれた前記第2領域の表面上に形成された絶縁膜と、前記絶縁膜上に形成された制御電極と、前記第2領域から前記第3領域にかけてそれらの表面上に形成された第1電極と、前記第1領域の表面から前記第1領域に隣接する半導体基板の一方主面上にかけて形成された第2電極とを備え、前記第1領域を除く前記半導体基板の一方主面と前記第2電極とがオーミック接触により接続され、その接続部の面積が、前記第1領域と前記第2電極との間の接続部の面積よりも小さい。

請求項3記載の半導体装置は、第1導電型の半導体基板と、前記半導体基板の一方主面上の一部に形成された第2導電型の第1領域と、前記半導

そのダイオードの電流分担が前記寄生ダイオードの電流分担よりも大きくなるようにしている。

請求項5記載の半導体装置は、請求項1、2又は3記載の半導体装置において、前記第2領域と前記半導体基板とで構成される寄生ダイオードに対し並列接続されるようにして、その寄生ダイオードと同一チップ内に他のダイオードが形成され、そのダイオードの電流分担が前記寄生ダイオードの電流分担よりも大きくなるようにしている。

請求項6記載の半導体装置は、請求項1、2又は3記載の半導体装置であって、前記半導体基板の一方主面側において前記第1領域と前記第1領域に隣接する領域とで第1ユニットセルが構成されるとともに、前記半導体基板の他方主面側において前記制御電極、前記絶縁膜、前記第1電極、前記第2領域および前記第3領域により第2ユニットセルが構成され、前記第1および第2ユニットセルがそれぞれストライプ構造に仕上げられて複数個ずつ並列に配置されるとともに、前記第2ユニットセルが前記第1ユニットセル上に投影さ

れたときに、両ユニットセルの長手方向が互いに交差するようにしている。

請求項7記載の半導体装置の製造方法は、第1導電型の半導体基板を準備する第1工程と、前記半導体基板の一方主面上の一部に第2導電型不純物を導入して第2導電型の第1領域を形成する第2工程と、前記第1領域と位置的にほぼ対応するようにして、前記半導体基板の他方主面上の一部に絶縁膜と制御電極の2層構造体を形成する第3工程と、前記2層構造体をマスクとして前記半導体基板の他方主面上の一部に第1導電型不純物を導入して第1導電型の第2領域を形成する第4工程と、前記第2領域の表面上に前記2層構造体と離してマスク層を形成する第5工程と、前記2層構造体および前記マスク層をマスクとして前記第2領域の表面上の一部に第2導電型の不純物を導入して第2導電型の第3領域を形成する第6工程と、前記マスク層を除去した後、前記第2領域から前記第3領域にかけてそれらの表面上に、それらとオーミック接触により接続される第1電極を

形成する第7工程と、前記第1領域の表面から前記第1領域に隣接する前記半導体基板の一方主面にかけて第2電極を形成して、前記第1領域を除く前記半導体基板の一方主面と前記第2電極との間の接続部にショットキーバリア層を形成する第8工程とを含む。

請求項8記載の半導体装置の製造方法は、第1導電型の半導体基板を準備する第1工程と、前記半導体基板の一方主面上の一部に第2導電型不純物を導入して第2導電型の第1領域を形成し、前記第1領域の表面の面積を、前記第1領域以外の前記半導体基板の一方主面上の面積よりも大きく設定する第2工程と、前記第1領域と位置的にほぼ対応するようにして、前記半導体基板の他方主面上の一部に絶縁膜と制御電極の2層構造体を形成する第3工程と、前記2層構造体をマスクとして前記半導体基板の他方主面上の一部に第1導電型不純物を導入して第1導電型の第2領域を形成する第4工程と、前記第2領域の表面上に前記2層構造体と離してマスク層を形成する第5工程と、

前記2層構造体および前記マスク層をマスクとして前記第2領域の表面上の一部に第2導電型の不純物を導入して第2導電型の第3領域を形成する第6工程と、前記マスク層を除去した後、前記第2領域から前記第3領域にかけてそれらの表面上に、それらとオーミック接触により接続される第1電極を形成する第7工程と、前記第1領域を除く前記半導体基板の一方主面に第1導電型不純物を導入する第8工程と、前記第1領域の表面から前記第1領域に隣接する前記半導体基板の一方主面にかけてそれらとオーミック接触により接続される第2電極を形成する第9工程とを含む。

請求項9記載の半導体装置の製造方法は、第1導電型の半導体基板を準備する第1工程と、前記半導体基板の一方主面上の一部に第2導電型不純物を導入して第2導電型の第1領域を形成する第2工程と、前記第1領域と位置的にほぼ対応するようにして、前記半導体基板の他方主面上の一部に絶縁膜と制御電極の2層構造体を形成する第3工程と、前記2層構造体をマスクとして前記半導

体基板の他方主面上の一部に第1導電型不純物を導入して第1導電型の第2領域を形成する第4工程と、前記第2領域の表面上に前記2層構造体と離してマスク層を形成する第5工程と、前記2層構造体および前記マスク層をマスクとして前記第2領域の表面上の一部に第2導電型の不純物を導入して第2導電型の第3領域を形成する第6工程と、前記マスク層を除去した後、前記第2領域から前記第3領域にかけてそれらの表面上に、それらとオーミック接触により接続される第1電極を形成する第7工程と、前記第1領域を除く前記半導体基板の一方主面の一部領域に第1導電型不純物を導入する第8工程と、前記第1領域の表面から前記第1領域に隣接する前記半導体基板の一方主面にかけて第2電極を形成し、前記第1領域を除く前記半導体基板の一方主面のうち、前記一部領域と前記第2電極とをオーミック接触により接続するとともに、前記一方主面のうち前記一部領域を除く他部領域と前記第2電極との間の接続部にショットキーバリア層を形成する第9工程とを

含む。

請求項10記載の半導体装置の製造方法は、請求項7、8又は9記載の半導体装置の製造方法において、前記半導体基板の内部領域のうち、前記第1領域に対応する領域以外の領域に放射線を照射する工程をさらに含む。

(作用)

請求項1記載の半導体装置によれば、第1領域を除く半導体基板の一方主面上に、半導体基板から第2電極へのキャリアの移動を制限するバリア層を設けているため、第2領域と半導体基板とで構成される寄生ダイオードに流れる電流を低減できて、寄生ダイオードのリカバリー時間の遅れによる弊害を抑制できる。

請求項2記載の半導体装置によれば、第1領域を除く半導体基板の一方主面と第2電極とがオーミック接触により接続され、その接続部の面積を、第1領域と第2領域の接続部の面積よりも小さくするようにしたため、第2領域と半導体基板とで構成される寄生ダイオードに流れる電流を低減できる。

る。

請求項5記載の半導体装置によれば、寄生ダイオードと同一チップ内に他のダイオードを並列接続して、そのダイオードの電流分担が寄生ダイオードの電流分担よりも大きくなるようにしているため、寄生ダイオードに流れる電流を低減できて寄生ダイオードのリカバリー時間の遅れによる弊害を抑制できる。

請求項6記載の半導体装置によれば、第1ユニットセルと第2ユニットセルをそれぞれストライプ構造に仕上げてそれらの長手方向を互いに交差させているため、第1ユニットセルを形成するためのマスクと第2ユニットセルを形成するためのマスクとの相互の位置合せが不要となる。

請求項7、8および9記載の半導体装置の製造方法によれば、請求項1、2および3記載の高周波用途に優れた半導体装置をそれぞれ製造できる。

請求項10記載の半導体装置の製造方法によれば、半導体基板の内部領域のうち、第1領域に対応する領域以外の領域に放射線が照射されて、寄

きて、寄生ダイオードのリカバリー時間の遅れによる弊害を抑制できる。

請求項3記載の半導体装置によれば、第1領域を除く半導体基板の一方主面のうち、一部領域と第2電極とがオーミック接触により接続される一方、他部領域と第2電極との間にバリア層が形成されるため、第2領域と半導体基板とで構成される寄生ダイオードに流れる電流をバリア層により低減できて寄生ダイオードのリカバリー時間の遅れによる弊害を抑制できるとともに、IGBTのターンオフ時に半導体基板に蓄積されるキャリアを一部領域を介して第2電極に引き抜くことができ、IGBTのスイッチング速度を速めることができる。

請求項4記載の半導体装置によれば、寄生ダイオードと並列にダイオードを外部接続して、そのダイオードの電流分担が寄生ダイオードの電流分担よりも大きくなるようにしているため、寄生ダイオードに流れる電流を低減できて寄生ダイオードのリカバリー時間の遅れによる弊害を抑制でき

る。

(実施例)

第1図はこの発明の第1実施例であるIGBTのセル構造を示す断面図である。

この実施例によれば、高抵抗のn型シリコン基板からなる半導体基板31の一方主面の一部に、p型不純物が高濃度で導入されて、p型コレクタ領域32が形成されている。また、半導体基板31の他方主面上の一部にp型不純物が導入されてp型ベース領域33が形成され、さらにこのベース領域33の表面の一部領域にn型不純物が導入されて、n型エミッタ領域34が形成されている。半導体基板31の表面とエミッタ領域34の表面とで挟まれたベース領域33の表面上にはゲート絶縁膜35が形成され、このゲート絶縁膜35は隣接するIGBTセル間で一体となるように半導体基板31の表面上にも形成されている。ゲート絶縁膜35はコレクタ領域32と位置的にほぼ対応するようにして設けられ、このゲート絶縁膜35上にゲート電極36が形成されている。また、

ベース領域33およびエミッタ領域34の両方に電氣的に接続するように金属のエミッタ電極37が形成されている。なお、ゲート電極36およびエミッタ電極37は、全IGBTセルに対してそれぞれ共通に電氣的につながった構造となっている。また、コレクタ領域32の表面から、そのコレクタ領域32に隣接する半導体基板31の一方主面が露出する領域39にかけて、金属のコレクタ電極38が形成され、このコレクタ電極38は全IGBTセルに対して共通に接続されている。この場合、コレクタ領域32とコレクタ電極38とはオーミック接触により接続される一方、半導体基板31の領域39とコレクタ電極38との接続部にショットキーバリア層40が形成される。

次に、上記IGBT装置の製造方法について説明する。まず、第2図に示すように、高抵抗のn型シリコン基板からなる半導体基板31を準備する。この半導体基板31の抵抗率は、例えば電圧1000V程度で、約 $50\Omega\cdot\text{cm}$ 程度である。

次に、第3図に示すように半導体基板31の一

その後、第6図に示すように、ベース領域33の表面の一部にレジスト膜又は酸化膜等のマスク層43を形成し、このマスク層43および上記2層構造体42をマスクとして、ベース領域33の表面にリンやヒ素等のn型不純物を、表面濃度 $1\times 10^{19}\text{cm}^{-3}$ 程度以上で、イオン注入又は拡散により選択的に導入することにより、n型エミッタ領域34を形成する。この場合、エミッタ領域34の表面と半導体基板31の表面と挟まれるベース領域33の表面領域がチャネル領域44(第1図)となる。このチャネル領域44の長さは、IGBTセルの全領域で一定となるDSA構造(Diffusion self-alignment structure)になっている。

次に、マスク層43を除去した後、第7図に示すように、アルミ等の金属からなるエミッタ電極37を、エミッタ領域34の表面からベース領域33の表面にかけて形成する。この場合、エミッタ電極37は、エミッタ領域34およびベース領域33に対しオーミック接触により接続される。

最後に、コレクタ領域32の表面から、そのコ

方主面上の一部にレジスト膜又は酸化膜等のマスク層41を形成し、このマスク層41をマスクとして半導体基板31の一方主面上にボロン等のp型不純物を高濃度($10^{19}/\text{cm}^3$ 以上の表面濃度)でイオン注入又は拡散により選択的に導入することにより、p型コレクタ領域32を形成する。

その後、半導体基板31の他方主面上の全域にゲート酸化膜とポリシリコン層をこの順に積層した後、これらの一部を除去して、第4図に示すように、コレクタ領域とほぼ対応する位置にゲート酸化膜35およびポリシリコンのゲート電極36からなる2層構造体42を形成する。

つぎに、第5図に示すように、半導体基板31の他方主面に2層構造体42をマスクとしてp型不純物を選択的に導入してp型ベース領域33を形成する。p型不純物の導入の方法としては、ベース領域33の表面がチャネル領域として作用するので、イオン注入法等の濃度制御性の良い方法が用いられる。通常、不純物の注入量は $5\times 10^{13}\sim 5\times 10^{14}\text{cm}^{-2}$ 程度である。

コレクタ領域32に隣接する半導体基板31の一方主面に露出する領域39にかけて、第1図に示すように金属のコレクタ電極38を形成する。この場合、コレクタ領域32のp型不純物の表面濃度は 10^{19}cm^{-3} 以上の高濃度であるため、コレクタ電極38はコレクタ領域32に対してオーミック接触により接続される。もし、コレクタ領域32の表面濃度が上記値よりも低くなると、コレクタ領域32とコレクタ電極38の間にショットキーバリア層が形成されて、IGBTの飽和電圧を大きくしてしまう。一方、半導体基板31の露出領域39とコレクタ電極38の間にはショットキーバリア層40が形成される。このショットキーバリア層40を形成するには、露出領域39におけるn型不純物の表面濃度を 10^{19}cm^{-3} 以下にするのが望ましい。

このように構成された半導体装置では、コレクタ領域32に対応する区間において、コレクタ領域32、半導体基板31、ベース領域33、エミッタ領域34、ゲート絶縁膜35およびゲート電

極36によりIGBTセルが構成される一方、領域39に対応する区画において、その領域39、半導体基板31およびベース領域33により寄生ダイオードが形成される。

上記半導体装置を用いてインバータ回路を形成する場合には、高速の帰還ダイオード(図示省略)が上記寄生ダイオードに対し並列に電気接続される。具体的には、例えば第8図に示すように、ハウジング45内にゲート端子46、コレクタ端子47、エミッタ端子48を設け、第1図に示される半導体装置と同一の構成を有するIGBTチップ49のコレクタ電極38(第1図)をコレクタ端子47に接続する一方、ゲート電極36およびエミッタ電極37を配線50、51を介してゲート端子46およびエミッタ端子48にそれぞれ接続する。また、帰還ダイオードチップ52のカソード電極をコレクタ端子47に接続するとともにアノード電極を配線53を介してエミッタ端子48に接続する。

第9図は、第8図の等価回路を示す。同図にお

れ示す。すなわち、同図の点線AはIGBTチップ49の内蔵ダイオード、すなわち寄生ダイオード55とショットキーバリアダイオード56との合成によるリカバリー特性を示し、一点鎖線Bは帰還ダイオード57のリカバリー特性を示し、実線Cは両者を合成したトータルのリカバリー特性を示す。同図の実線Cから分かるように、リカバリー動作の前半の区画では、一点鎖線Bで示される帰還ダイオード57の作用が強く表われて高速のリカバリー動作が得られる一方、後半の区画では、点線Aで示される内蔵ダイオードの作用が強く表われてリカバリー動作がソフトに終了される。こうして高速用途に適した理想的なリカバリー特性が得られる。

第11図はこの発明の第2実施例であるIGBTのセル構造を示す断面図である。この実施例においては、コレクタ領域32の幅寸法を大きくとって、その表面の面積が、コレクタ領域32以外の半導体基板31の一方主面に露出する領域58の面積よりも大きく設定されている。また、半導

いて、54はIGBTチップ49内のIGBTセルにより形成されるIGBT、55はIGBTチップ49内の寄生ダイオード、56はIGBTチップ49内のショットキーバリア層40により形成されるショットキーバリアダイオード、57は帰還ダイオードチップ52により形成される帰還ダイオードである。

帰還ダイオード57は、リカバリー時間が0.2μs以下程度の高速ダイオードであり、少なくとも帰還ダイオード57の電流分担が、寄生ダイオード56の電流分担よりも大きくなるような関係が要求される。

第9図の回路構成では、寄生ダイオード55に流れる電流がショットキーバリアダイオード56により制限されて帰還ダイオード57に流れる電流分担が増大し、その結果、寄生ダイオード55のリカバリー時間の遅れによる影響が低減されて、高周波用途に優れるという効果が得られる。

第10図は、第9図に示される各ダイオードおよびそれらの合成によるリカバリー特性をそれぞ

れ示す。すなわち、同図の点線AはIGBTチップ49の内蔵ダイオード、すなわち寄生ダイオード55とショットキーバリアダイオード56との合成によるリカバリー特性を示し、一点鎖線Bは帰還ダイオード57のリカバリー特性を示し、実線Cは両者を合成したトータルのリカバリー特性を示す。同図の実線Cから分かるように、リカバリー動作の前半の区画では、一点鎖線Bで示される帰還ダイオード57の作用が強く表われて高速のリカバリー動作が得られる一方、後半の区画では、点線Aで示される内蔵ダイオードの作用が強く表われてリカバリー動作がソフトに終了される。こうして高速用途に適した理想的なリカバリー特性が得られる。

この半導体装置の製造が、第1図に示される実施例の場合と相違する点は、コレクタ領域32を広幅に形成し、かつ領域58にn型不純物を表面濃度が $10^{19}/\text{cm}^3$ 以上になるように高濃度導入する工程を付加する点のみである。

第12図は、第11図に示されるIGBTチップに帰還ダイオードを外付けした場合の等価回路を示す。同図において、54はIGBTチップ内のIGBTセルにより形成されるIGBT、55

はIGBTチップ内の寄生ダイオード、57は帰還ダイオードである。

この実施例によれば、寄生ダイオード55の一部を構成する領域58の表面の面積が、コレクタ領域32の表面の面積に比べて小さく設定されるため、寄生ダイオード55に流れる電流が制限されて帰還ダイオード57に流れる電流分担が増大し、その結果、寄生ダイオード55のリカバリー時間の遅れによる影響が低減されて高周波用途に優れるという効果が得られる。

第13図はこの発明の第3実施例であるIGBTのセル構造を示す断面図である。この実施例においては、コレクタ領域32を除く半導体基板31の一方主面に露出する領域のうち、一部領域59にn型不純物が高濃度に導入されて一部領域59とコレクタ電極38とがオーミック接触により接続される一方、他部領域60とコレクタ電極32との間にショットキーバリア層40が形成されている。こうして、ベース領域33、半導体基板31および一部領域59により順方向降下電圧

および一部領域59により形成される寄生ダイオード、57は帰還ダイオードである。

この実施例によれば、IGBTチップの内蔵ダイオード55、56、61の合成による電流分担が帰還ダイオード57のそれよりも小さくなるため、上記第1および第2実施例と同様の効果を実現できる他、さらに次のような効果が得られる。すなわち、第1図に示される第1実施例の構造では、IGBTのターンオフ時に、半導体基板31に蓄積されるキャリアが領域39を通して引き抜かれる際、ショットキーバリア層40によりキャリアの移動が制限されるため、IGBTのスイッチング速度が低減される。また、第11図に示される第2実施例の構造では、コレクタ領域32の表面の面積が増えすぎると、ターンオフ時に半導体基板31に蓄積されるキャリアの数が増え、キャリアの引き抜きに時間を要して高速化が難しくなる。これに対し、第13図に示される本実施例の構造では、IGBTのターンオフ時に半導体基板31に蓄積されるキャリアが領域59を通して

V_f の大きな寄生ダイオードが形成されるとともに、他部領域60とコレクタ電極32との接続部にショットキーバリアダイオードが形成される。その他の構成は、第1図に示される第1実施例と同様であるので、同一部分に同一符号を付してその説明を省略する。

この半導体装置の製造が第1図に示される実施例の場合と相違する点は、コレクタ領域32を除く半導体基板31の一方主面の一部領域59にn型不純物を表面濃度が $10^{19}/\text{cm}^3$ 以上になるように高濃度に導入する工程を付加する点のみである。

第14図は第13図に示されるIGBTチップに帰還ダイオードを外付けした場合の等価回路を示す。同図において、54はIGBTチップ内のIGBTセルにより形成されるIGBT、55はベース領域33と半導体基板31により形成される寄生ダイオード、56はショットキーバリア層40により形成されるショットキーバリアダイオード、61はベース領域33、半導体基板31お

コレクタ電極38に引き抜かれるため、キャリアのコレクタ電極38に引き抜きを短時間に行うことができ、高速化が図れる。また、キャリアの引き抜きに要する領域以外の領域60にはショットキーバリア層40を設けて寄生ダイオードの通電量を制限し、寄生ダイオードのリカバリー時間の遅れによる影響を低減できる。

なお、上記各実施例において、半導体基板31の内部領域のうち、内蔵ダイオードに相当する区間に、電子線等の放射線を照射し、あるいは白金、金等の重金属を拡散して内蔵ダイオードのキャリアライフタイムを制御し、IGBT部と内蔵ダイオード部の特性のバランスをとるようにしてもよい。例えば、第15図に示すように、コレクタ領域32がゲート電極36とほぼ同一幅に設定されるとともに、半導体基板31の一方主面側の領域58とコレクタ電極38とがオーミック接触により接続されたIGBT装置を準備する。そして、第16図に示すように、上記IGBT装置のコレクタ電極38の表面において、寄生ダイオード以

外の部分の領域に電子線等の放射線を透過しない層等の材質でできたマスク図62を形成し、このマスク図62をマスクとして半導体基板31の内部領域(第16図に斜線で示す)に電子線等の放射線63を選択的に斜射して、寄生ダイオードのキャリアライフタイムを制御する。また、ライフタイム制御は電子線のような放射線でなく、白金や金等の重金属を第16図に斜線で示す半導体基板31の内部領域に拡散してもよい。重金属を拡散する場合には、エミッタ電極37やコレクタ電極38を形成する前に、酸化膜(図示省略)等の絶縁膜をマスクにして重金属を選択的に拡散すればよい。

また、上記各実施例において、半導体基板31内に帰還ダイオードを内蔵させてもよい。例えば第17図に示すように、区画Dで示されるIGBT部と、区画Fで示される帰還ダイオード部をワンチップ内に形成してもよい。IGBT部は、例えば第1図、第11図、第13図、第16図に示すような構成を採用すればよく、帰還ダイオード

部は、ベース領域33、領域58、エミッタ電極37およびコレクタ電極38を区画F側まで延長すればよい。この場合、半導体基板31の区画Fに相当する領域(第17図に斜線で示す)には、放射線を照射したり、あるいは重金属を拡散してライフタイム制御を行い、帰還ダイオードの高速化を図る必要がある。

また、上記各実施例では、nチャネルのIGBT装置について説明したが、この発明はPチャネルのIGBT装置についても適用できることは言うまでもない。

IGBT装置は、通常ラッチアップ耐量の向上の面から第18図の平面図に示すようなストライプセル構造が採用される。これを例えば第1図に示すような断面構造のIGBT装置を例に挙げて説明すると、次のとおりである。今、半導体基板31の一方主面側において、コレクタ領域32と、このコレクタ領域32のいずれか一方に隣接する領域39とで第1ユニットセルを構成する一方、半導体基板31の他方主面側において、ゲート電

極36、ゲート絶縁膜35、一方のエミッタ領域34、一方のベース領域33および一方のエミッタ電極37とで第2ユニットセルを構成した場合、これら第1および第2のユニットセルは幅寸法1のストライプ構造に仕上げられてそれぞれ複数個ずつ並列に配置され、かつ両ユニットセルの長手方向が同一方向に揃えられる。

第19図は上記IGBT装置をエミッタ電極側から見た平面図を示し、同図の一点鎖線で示される領域Hは、第1ユニットセルの一部を構成する領域39(第1図)を第2ユニットセル上に投影させた場合に対応する位置を示す。既述したように、第1ユニットセルを形成するために使用されるマスクと第2ユニットセルを形成するために使用されるマスクとは異なる。従って、第19図に示されるように、両ユニットセル相互の位置関係を一定に保つためには、正確なマスク合せ作業が必要となる。しかしながら、ユニットセルの幅寸法1は一般に数10μm以下と極めて小さいため、マスク合せの精度を出すことは極めて困難であり、

製品ごとに両ユニットセル相互の位置関係がユニットセルの幅方向に微妙にずれてIGBTの特性にばらつきが生じるという問題がある。

そこで、本願実施例では、上記問題を解決するために、第20図のIGBT装置の平面図に示されるように、半導体基板31の一方主面側に形成される第1ユニットセル64をストライプ構造に仕上げて複数並列に配置するとともに、半導体基板31の他方主面側に形成される第2ユニットセル65をストライプ構造に仕上げて複数並列に配置し、かつ第1ユニットセル64を第2ユニットセル65上に投影したときに、両ユニットセル64、65の長手方向が互いに例えば45度の角度で交差するようにしている。このように構成すれば、両ユニットセル64、65の幅方向の位置合せを考慮する必要がなくなり、また両ユニットセル64、65の長手方向の寸法は一般に約1mm程度と長いので、ユニットセル64、65の幅寸法がいかに微細になっても対応できる。

このようなストライプ構造は、第1図に示され

るような断面構造のIGBT装置ばかりでなく、例えば第11図、第13図および第16図に示されるような断面構造のIGBT装置にも適用可能なことは言うまでもない。

なお、第21図に示すように、第1ユニットセル64のストライプ構造の長手方向をウェハ65のオリエンテーションフラット66に対して約45°の角度で交差させる一方、第2ユニットセル（図示省略）のストライプ構造の長手方向をオリエンテーションフラット66に対して90度又は180度の角度で交差させると、エミッタ側とコレクタ側のマスク合せをする必要がなくなる。

〔発明の効果〕

以上のように、この発明の半導体装置およびその製造方法によれば、寄生ダイオードに流れる電流を抑制できて高周波用途に優れた半導体装置およびその製造方法が得られるという効果が得られる。

4. 図面の簡単な説明

第1図はこの発明の第1実施例であるIGBT

装置の平面図、第20図は本願実施例のストライプセル構造を説明するためのIGBT装置の平面図、第21図はウェハに形成される第1ユニットセルのパターンを示す図、第22図は従来のIGBTセルの構造を示す断面図、第23図はIGBT装置を用いた三相インバータ回路の一例を示す図、第24図はIGBTセルと寄生ダイオードが複合化して形成された素子の断面図を示す。

図において、31は半導体基板、32はコレクタ領域、33はベース領域、34はエミッタ領域、35はゲート絶縁膜、36はゲート電極、37はエミッタ電極、38はコレクタ電極、39、58は領域、40はショットキーバリア層、41、43、62はマスク層、42は2層構造体、54はIGBT、55、61は寄生ダイオード、56はショットキーバリアダイオード、57は帰還ダイオード、59は一部領域、60は他部領域、60は他部領域、63は放射線、64は第1ユニットセル、65は第2ユニットセルである。

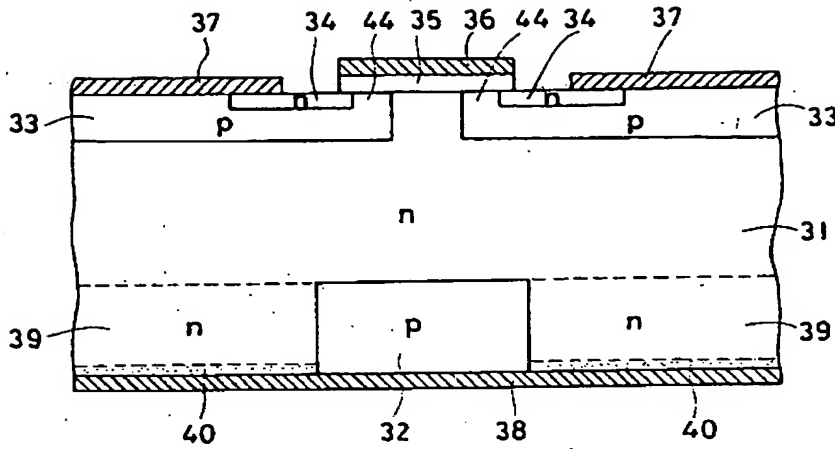
なお、各図中同一符号は同一または相当部分を

のセル構造を示す断面図、第2図ないし第7図はそれぞれその製造工程を示す断面図、第8図は上記実施例のIGBTチップと帰還ダイオードチップを接続したIGBTモジュールの平面図、第9図は第8図の等価回路を示す図、第10図はIGBTモジュールのリカバリー特性を説明するための図、第11図はこの発明の第2実施例であるIGBTのセル構造を示す断面図、第12図は第2実施例のIGBTチップを用いたIGBTモジュールの等価回路を示す図、第13図はこの発明の第3実施例であるIGBTのセル構造を示す断面図、第14図は第3実施例のIGBTチップを用いたIGBTモジュールの等価回路を示す図、第15図はこの発明の第4実施例に使用されるIGBTのセル構造を示す断面図、第16図は第15図のIGBTセルに対してライフタイム制御を行うための領域を示す断面図、第17図はこの発明の第5実施例であるIGBTのセル構造を示す断面図、第18図および第19図はそれぞれ一般的なストライプセル構造を説明するためのIGBT

を示す。

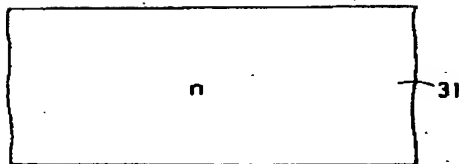
代理人 大 岩 増 雄

第 1 図

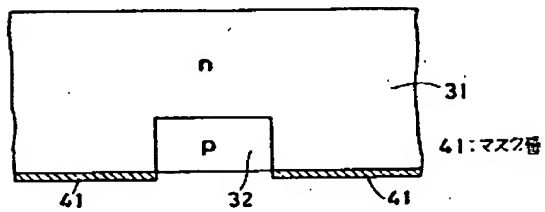


- 31: 半導体基板
32: コレクタ領域
33: ベース領域
34: エミッタ領域
35: ゲート絶縁膜
36: ゲート電極
37: エミッタ電極
38: コレクタ電極
39: 領域
40: ショットキーバリア層

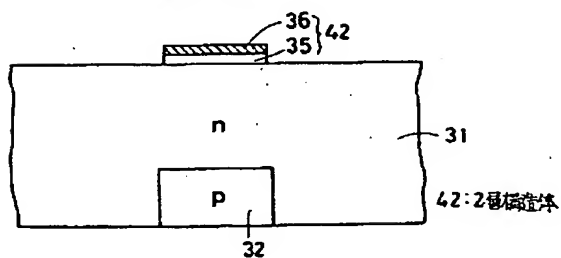
第 2 図



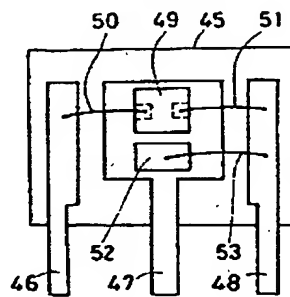
第 3 図



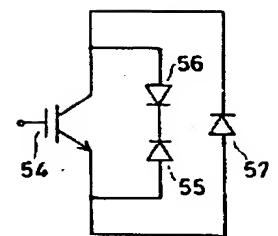
第 4 図



第 8 図

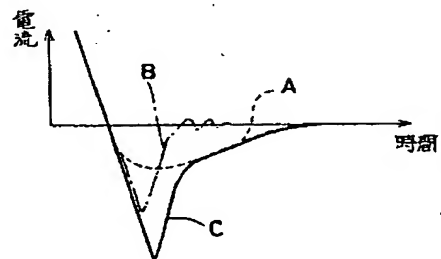


第 9 図

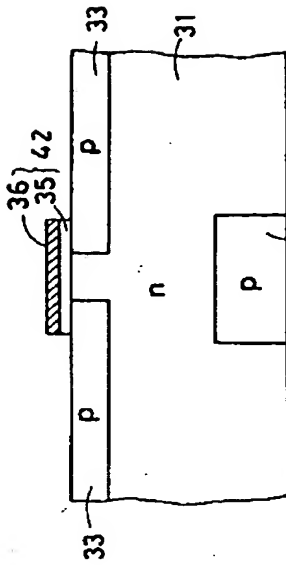


- 54: IGBT
55: 寄生ダイオード
56: ショットキーバリアダイオード
57: 帰還ダイオード

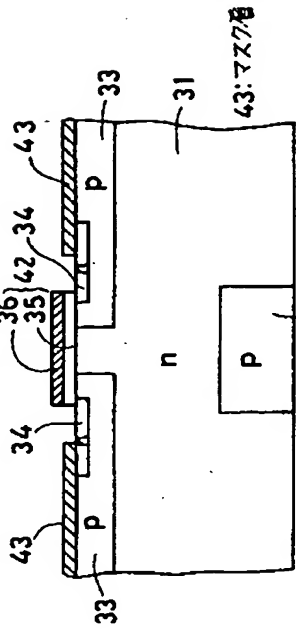
第 10 図



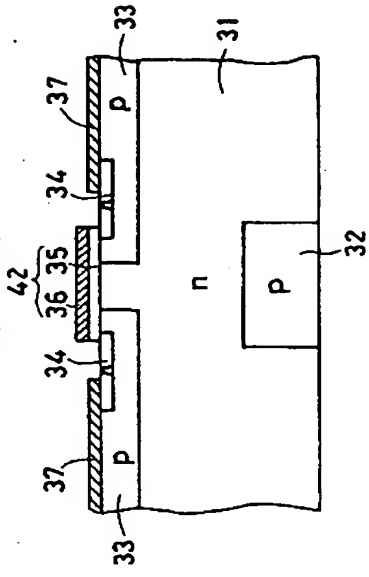
第 5 圖



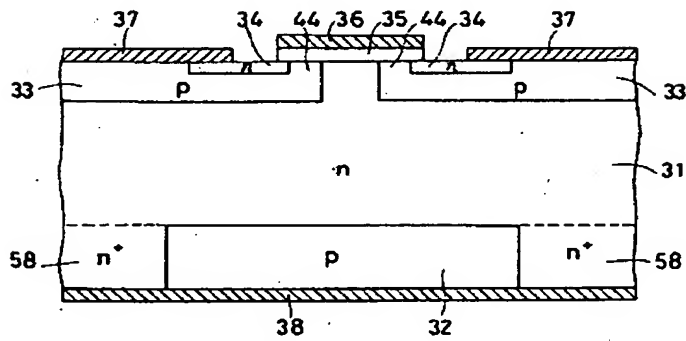
第 6 圖



第 7 圖

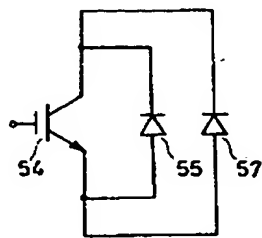


第 11 圖

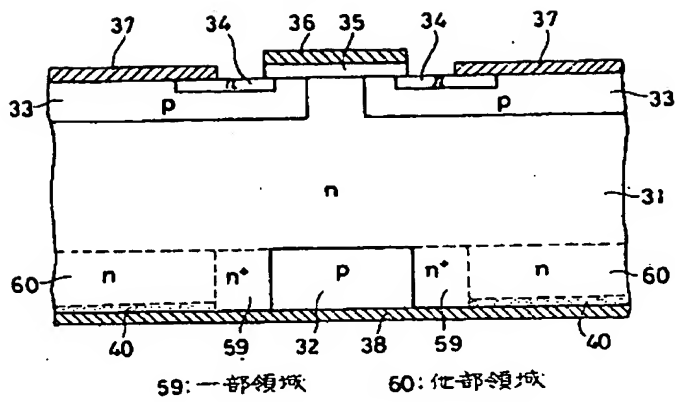


58:領域

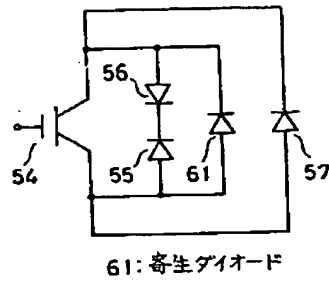
第 12 圖



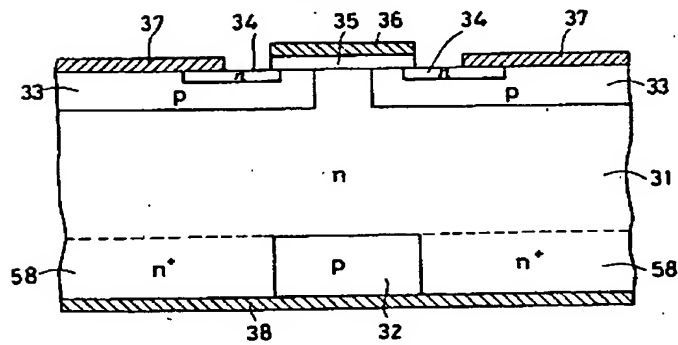
第13図



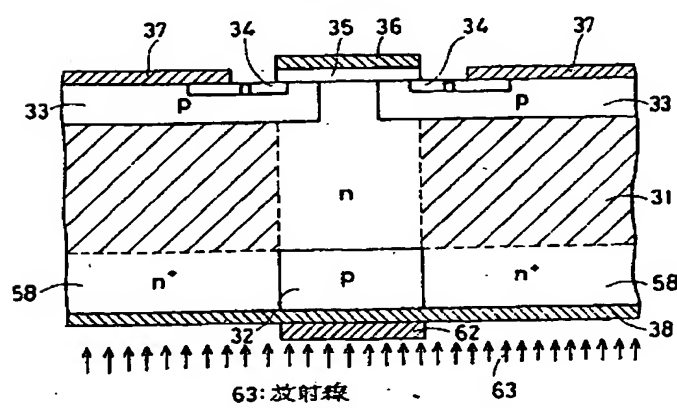
第14図



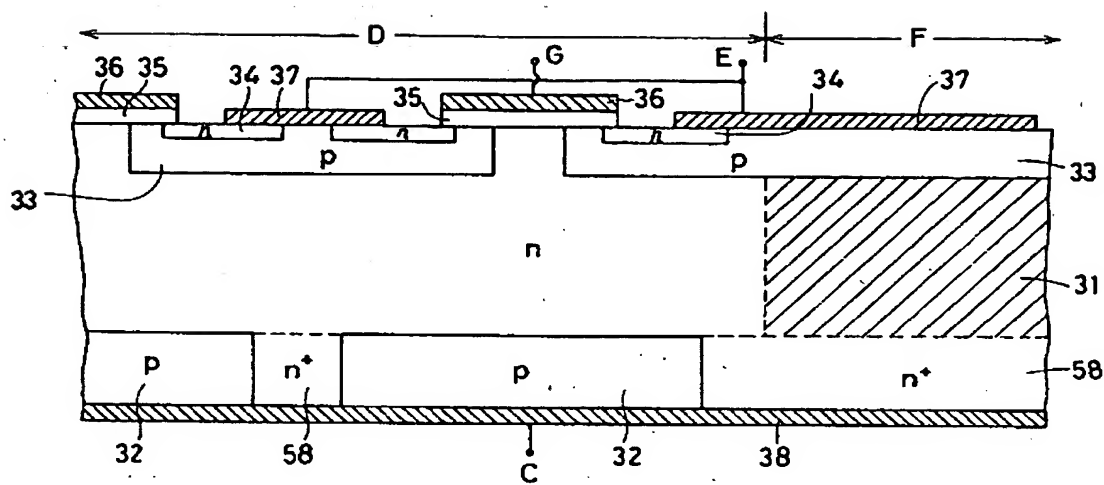
第15図



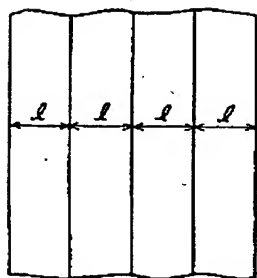
第16図



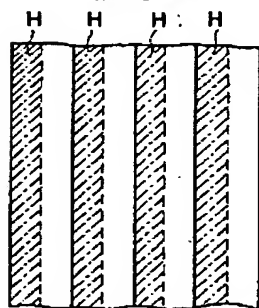
第 17 図



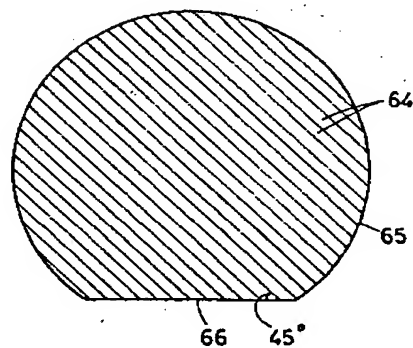
第 18 図



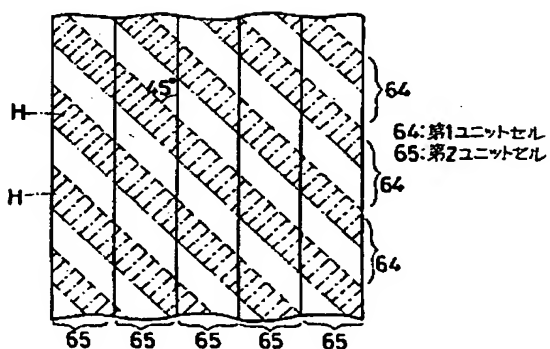
第 19 図



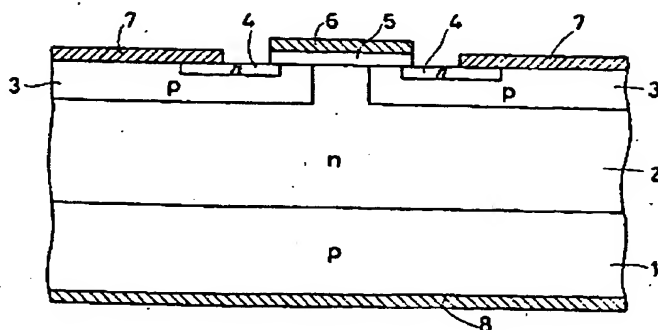
第 21 図



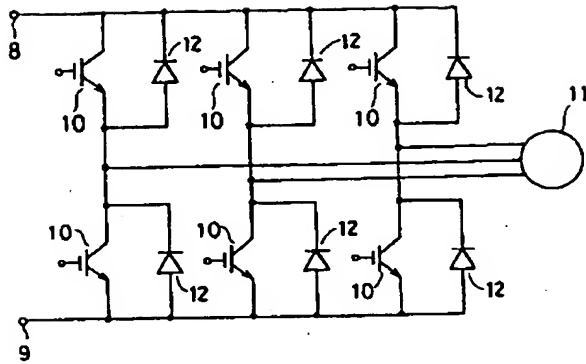
第 20 図



第 22 図



第 23 図



第 24 図

